HT32 MCU 硬體開發指南

文件編號：AN0630TC

簡介

本應用筆記為 HT32 MCU 系統設計人員提供了硬體實現所需的相關資訊，包括電路板功能，如電源、時鐘管理、重置、啟動模式設定和調試管理等。它展示了如何使用 HT32 系列產品，並描述了應用所需的最少硬體資源。目的是協助剛接觸 HT32 MCU 的使用者快速完成微控制器相關電路設計。

HT32 系列上的電源和重置

各個型號 MCU 電源配置根據規格會有差異，具體情況以及參數可參考選用型號的數據手冊和使用手冊。

電源

- V_{DD}

  V_{DD} 是內部穩壓器、I/O、重置電路、電源管理和時鐘電路(註 2 & 3)的電源，外部通過 VDD/VDDA 腳位提供，需連接一個旁路電容。V_{DD} 電源工作電壓範圍可從數據手冊查知。內部穩壓器產生電壓(例如 1.5V 或 1.8V，註 1)給內核電源域 V_{CORE} 供電。對於具有內部 USB 穩壓器的型號，內部 USB 穩壓器輸出可給 USB PHY 供電。

  註 1：實際參數請參考選定型號的數據手冊和使用手冊。

  註 2：對於較新推出的型號，內部高速時鐘(HSI)由內核電源 V_{CORE} 供電。

  註 3：對於具有 VBAT 腳的型號，請參考 V_{BAK} 說明。

- V_{DDIO}

  對於具有 VDDIO 電源腳的型號，存在一組可獨立供電的 I/O，可在數據手冊封裝腳位圖查知各個 I/O 腳分組類型。V_{DDIO} 電壓可不和 V_{DD} 相等，因此可使用 V_{DDIO} 組的 I/O 直連非 V_{DD} 準位的外部器件，節省準位轉換電路。VDDIO 腳位需連接一個旁路電容，電源工作電壓範圍可從數據手冊查知。

- V_{BAK}

  對於具有 VBAT 腳位的型號存在備份電源域 V_{BAK}。內部低速振盪器 LSI、外部低速晶振 LSE、電源管理、備份暫存器等由備份電源域 V_{BAK} 供電，這意味著當 V_{DD} 關閉時，備份暫存器的內容可被保留，RTC 電路、電源管理電路、低速時鐘電路可以繼續運行。備份域工作電壓範圍可查詢數據手冊取得。

注意：VBAT 腳不能浮空，當不使用備份電源時，VBAT 必須和 VDD 接一起。有一種較特殊情況，例如 HT32F52352/33QFN 封裝，在封裝上未引出 VBAT 腳，則需在腳位 13、14 或 15(腳位 13、14 和 15 為備份電源區腳位)接一個 100Ω 的電阻到 V_{DD}，以保證 VBAT 有電(原理是透過其內部 ESD 保護二極管連接到 V_{BAK})。

- LDO

  內部穩壓器產生電壓(例如 1.5V 或 1.8V)給內核電源域 V_{CORE} 供電。須在其輸出腳 CLDO 外掛一電容，建議電容大小可從數據手冊腳位表 CLDO 腳位說明查知。LDO 具有數種功耗模式，可從選定型號使用手冊 PWRCU 章節查知。

- USB LDO

  內部 USB 穩壓器輸出可給 USB PHY 供電。須在其輸出 VREGO 腳外掛一電容，建議電容大小可從數據手冊腳位表 VREGO 腳位說明查知(各個型號 MCU 電源配置根據規格會有差異，實際參數請參考選定型號的數據手冊和使用手冊)。USB 穩壓器的輸出電壓可根據需求配置，配置方式以及電壓範圍可參考使用手冊 PWRCU 章節 PWRCR 暫存器說明。

- V_{LCD}

  對於具有內建段碼 LCD 外設的型號，V_{LCD} 給大部分 LCD 電路，包括 COM & SEG 驅動器、模擬開關/MUX、電阻梯形網路等供電。V_{LCD} 電壓可由外部電源或內部充電泵電路提供。選擇內部充電泵提供 LCD 電源電壓時，必須在 VLCD 腳位連接一個 2.2μF 電容，且儘量靠近 VLCD 腳位與 VSS 腳位。選擇外部 LCD 供電時，則需連接一個旁路電容。

- V_{DDA}

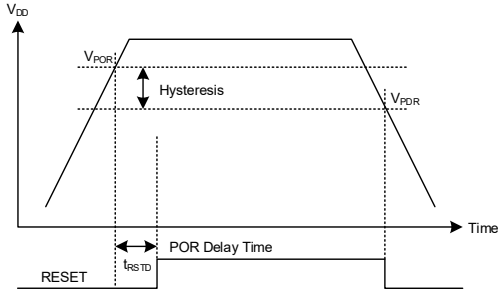
  V_{DDA} 是用於 A/D 轉換器、D/A 轉換器、電壓參考緩衝器和比較器的模擬電源。V_{DDA} 電壓須與 V_{DD} 電壓相同(註)，通過 VDDA 腳位提供。如果有使用到上述模擬電路，建議外加 2.2μF 穩壓電容並聯一顆 0.1μF 旁路電容或連接一個普通旁路電容。V_{DDA} 工作電壓範圍可從數據手冊 ADC、DAC、CMP、VREF 等特性說明處查知。

  註：部分型號允許 $V_{DDA} \leq V_{DD}$，詳細資訊，請參閱選定型號的數據手冊。

重置

- 上電重置

  上電重置 POR 是由內部重置發生器產生，內建一個內部濾波器，以防止因雜訊而誤動作。內置 POR/PDR 電路，當上電時重置訊號有效，在 V_{DD} 上升超過 V_{POR} 後，經過 t_{RSTD} 濾波時間後重置除能，MCU 開始正常工作。在開始工作後，若 V_{DD} 下降到低於 V_{PDR}，則重置電路立即將 MCU 重置，防止晶片低壓誤動作。V_{POR} 和 V_{PDR} 電壓可在數據手冊 V_{DD} 電源重置特性查知。



- 系統重置

  系統重置是由上電重置 PORRESETn、看門狗計時器重置 WDT_RSTn、nRST 腳位或軟體重置 SYSRESETREQ 事件產生。

  ◆ WDT 重置

  看門狗定時器是一個硬體定時電路，可用於檢測因軟體陷入鎖死導致的系統鎖定。看門狗定時器可工作在重置模式。當計數器向下計數到零時，看門狗定時器將產生重置。因此，軟體應在看門狗定時器下溢前重新載入計數器的值。此外，如果在到達 WDT 增量值之前軟體重新載入計數器，也會產生重置。其目的是防止軟體鎖死在不斷對計數器進行載入的區段，計數器必須在看門狗定時器的值為 0~WDTD 有限的時間窗口內重新載入。

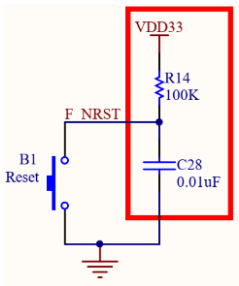
  當處理器處於調試或休眠模式，看門狗定時器計數器可以停止。可以通過開啟暫存器的寫保護功能來防止看門狗定時器配置被無意改變。

  ◆ 軟體重置(NVIC Reset)

  透過 NVIC 對系統發出重置請求。更多資訊請參考 Cortex®-M0+技術參考手冊。

  ◆ nRST 腳位重置

  nRST 輸入低準位可重新設定 MCU 重置大部分暫存器，當 nRST 從低準位變高時結束設定。注意，重置的時候不會將 RTC、PWRCU 的暫存器以及備份暫存器重置。如下圖所示，建議 nRST 腳接提升電阻 100kΩ 以及 0.01μF 電容(具體數值可根據實際需求調整)，器件擺放時，電阻和電容盡量靠近 MCU。



時鐘

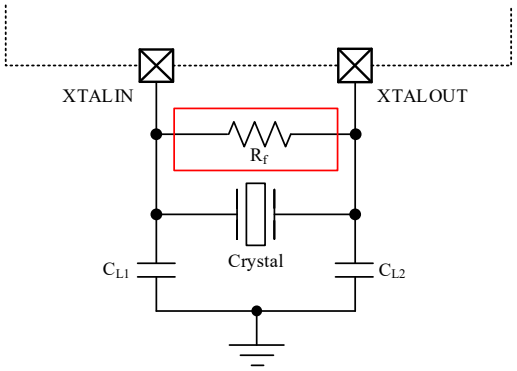
時鐘控制單元 CKCU 提供了一系列振盪器和時鐘功能，包括內部高速 RC 振盪器(HSI)、外部高速晶振(HSE)、內部低速 RC 振盪器(LSI)、外部低速晶振(LSE)、鎖相環(PLL)、HSE 時鐘監控、時鐘預分頻器、時鐘倍頻和 APB 時鐘分頻器與門電路。AHB、APB 和 Cortex®-M0+的時鐘來源於系統時鐘(CK_SYS)，而系統時鐘可以來自 HSI、HSE、LSI、LSE 或者系統 PLL。看門狗定時器和實時時鐘(RTC)使用 LSI 或 LSE 作為它們的時鐘源。

可從選定型號使用手冊 CKCU 方框圖查知時鐘樹架構。

外部高速晶振 – HSE

外部高速晶體振盪器 HSE 可以產生高精準度的時鐘源作為系統時鐘使用。相關硬體設計詳見下圖。需在兩個 HSE 腳位(XTALIN/XTALOUT)之間連接一個帶特定頻率的晶振並盡可能

靠近它們，支援的晶振頻率範圍可從數據手冊外部高速時鐘特性查知。為了確保振盪頻率達到晶振標稱精準度，需連接外部負載電容 C_L，數值可從晶振數據手冊查知。部分型號無內建回饋電阻則需外接(可從使用手冊 CKCU 章節查看是否內建回饋電阻)。



為提高晶體振盪電路 PCB 佈局的穩定性，建議遵守以下指南。

- 晶體振盪器應盡可能接近微控制器，佈線長度儘量縮短以減少寄生電容。
- 通過鋪地來屏蔽晶體附近的任何線路以隔離訊號和減小雜訊。
- 頻繁切換訊號線應遠離晶振區域，以防止串擾。

HSE 晶體振盪器可以使用全域時鐘控制暫存器 GCCR 中的 HSEEN 位元開啟或關閉。全域時鐘狀態暫存器 GCSR 中的 HSERDY 旗標位元表示外部高速晶體振盪器是否穩定。當開啟 HSE 時，HSE 時鐘不會馬上被釋放來使用，需等到 HSERDY 位元由硬體置位。這個特定的延遲時間被稱為振盪器的“啟動時間”。當 HSE 變穩定，HSE 時鐘可以直接用作系統時鐘源或 PLL 輸入時鐘。

HSE 時鐘監控功能由全域時鐘控制暫存器 GCCR 中的 HSE 時鐘監控使能位 CKMEN 開啟。此功能應該在 HSE 振盪器啟動延遲後開啟，在 HSE 停止時關閉。一旦檢測到 HSE 故障，HSE 將自動除能。全域時鐘中斷暫存器 GCIR 中的 HSE 時鐘故障旗標位 CKSF 將被置位。此時如果 GCIR 暫存器中的時鐘故障中斷使能位 CKSIE 位為高，則會產生時鐘故障中斷。這種故障中斷被連接到 CPU 的不可遮罩中斷 NMI 中。如果選擇 HSE 直接作為系統時鐘來源，當 HSE 振盪器故障發生，HSE 將關閉且系統時鐘將由硬體自動切換到 HSI。如果選擇 HSE 作為 PLL 電路的時鐘輸入，PLL 時鐘輸出作為系統時鐘，當 HSE 故障發生時，PLL 電路將關閉，同時 HSE 也將關閉。

內部高速 RC 振盪器 – HSI

內部高速振盪器 HSI 是微控制器上電時 CPU 的默認時鐘源。HSI RC 振盪器提供了一個較低成本類型的時鐘源，無需外部元件，但相較於外部晶振精準度較低。HSI 時鐘頻率和精準度可從數據手冊 HSI 特性查知。

HSI RC 振盪器可以使用全域時鐘控制暫存器 GCCR 中的 HSIEN 位元開啟或關閉。全域時鐘狀態暫存器 GCSR 中的 HSIRDY 旗標位元用來指出內部 RC 振盪器是否穩定。HSI 振盪器的啟動時間比 HSE 晶體振盪器短。HSI 時鐘還可以用作 PLL 的輸入時鐘。

通過軟體設定省電喚醒 RC 時鐘使能位 PSRCEN 位元為 1，則系統從深度休眠 1 或深度休眠 2 模式喚醒後，將迫使 HSI 先作為系統時鐘來源。隨後，當初始時鐘源 HSE 或 PLL 就緒旗標位元被置位，系統時鐘會自動切換回初始時鐘源 HSE 或 PLL。當使用 HSE 或 PLL 作為系統時鐘，此功能會減少喚醒時間。

自動微調內部高速 RC 振盪器 – HSI

內部高速 RC 振盪器 HSI 的頻率精準度可隨著微控制器製造過程的變化而不同。也就是說，工廠校準後的微控制器精準度在常溫常壓下仍有約±2%(可從數據手冊 HSI 特性查知)，但這個精準度不一定會滿足一些應用領域和環境需求。因此，微控制器提供了 HSI 頻率校準的微調機制，使用更加精準的外部參考時鐘。

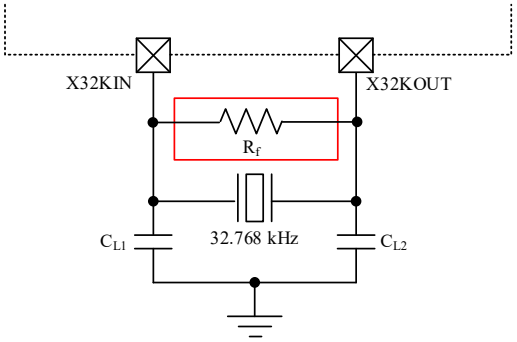
重置後，工廠微調值載入到 HSI 控制暫存器 HSICR 中的 HSICOARSE[4:0]位元和 HSIFINE[7:0]位元。HSI 的頻率精準度會受到電壓和溫度改變而影響。如果應用需要更精準的 HSI 頻率，使用者可以使用 HSI 控制暫存器 HSICR 中的 HSIFINE[7:0]位元手動微調，或通過外部參考時鐘使用自動微調控制器 ATC 來自動調整。參考時鐘可以來自於以下時鐘源。

- 32768Hz 的外部低速晶振或陶瓷諧振器振盪器 LSE 輸出時鐘
- 1kHz USB 幀脈衝
- 外部腳位 CKIN 1kHz 脈衝

外部低速晶振 – LSE

外部低速晶體振盪器或陶瓷諧振器頻率為 32768Hz，可以產生一個低功率但高精準度的時鐘源用於實時時鐘電路、看門狗計時器或系統時鐘。相關的硬體設定見下圖。晶體或陶瓷諧振器必須靠近兩個 LSE 腳位，X32KIN 和 X32KOUT。為了確保振盪頻率達到晶振標稱精準度，需連接外部負載電容 C_L，數值可從晶振數據手冊查知。部分型號無內建回饋電阻則需外接(可從使用手冊 CKCU 章節查看是否內建回饋電阻)。

LSE 振盪器可以使用 RTC 控制暫存器 RTCCR 中的 LSEEN 位元開啟或關閉。全域時鐘狀態暫存器 GCSR 中的 LSERDY 旗標位元將指出 LSE 時鐘是否穩定。



內部低速 RC 振盪器 – LSI

內部低速 RC 振盪器的頻率約為 32kHz，是一個低功耗的時鐘源用於實時時鐘電路、看門狗定時器或系統時鐘。LSI 提供了一個低成本的時鐘源，無需外部元件。LSI 頻率精準度可在數據手冊(Datasheet)中查看。

鎖相環 – PLL

PLL 為鎖相環倍頻輸出，其時鐘輸入源可選擇為 HSI 或 HSE，通過暫存器配置倍率將輸入頻率倍頻到目標頻率，配置方式可從選定型號的使用手冊 CKCU 章節查知。特性參數可從選定型號的數據手冊查知。

USB 鎖相環 – USB PLL

USB PLL 可以提供 48MHz 的 USB 外設時鐘，是 4~16MHz 基本參考頻率的 3~12 倍。時鐘合成器的原理依賴於數位 PLL，包括參考分頻器、兩級回饋分頻器、兩級輸出分頻器、數位鑒頻鑒相器 PFD、電流控制的充電泵 CP、內部環路濾波器和壓控振盪器 VCO，以實現穩定的鎖相狀態。

啟動配置

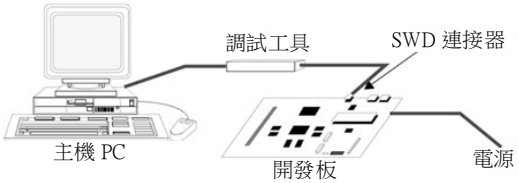
系統提供了 3 種啟動模式，分別為啟動載入器，主 Flash 以及 SRAM。通過 BOOT 腳位進行選擇，BOOT 腳帶有內部提升的輸入使能，不同型號產品 BOOT 腳數量不同，提供的模式也不同。M0+系列產品只有一個 BOOT 腳，可以選擇啟動載入器和主 Flash 兩種模式。M3 系列有 2 個 BOOT 腳分別為 BOOT0 & BOOT1，所以 M3 系列產品可以選擇 3 種模式。詳細模式資訊請參考使用手冊。MCU 在上電重置或系統重置期間對 BOOT 腳位採樣。一旦該腳位上的邏輯值確定，根據啟動模式，向量的前 4 個字將被重映射到相應的源。

調試管理

主機/目標介面是可將主機與應用電路板相連的硬體設備。該介面由以下三部分組成：硬體調試工具、SWD 連接器以及將主機連接到調試工具的電纜。

下圖顯示了主機與開發板之間的接線情況。

HT32 開發板嵌入了調試工具(e-Link32 Lite)。可以直接通過 USB 連接到 PC。



SWD 端口(串行線調試)

HT32 系列內核集成了 SW-DP (Serial Wire Debug Port)介面。該端口是 Arm®標準的 CoreSight™ 調試端口，帶有一個 2 針(時鐘+數據)介面到調試訪問端口。

腳位和調試端口腳位

不同的 HT32 MCU 封裝中的可用腳位數也不同。詳細資訊請參考數據手冊的封裝腳位圖。

1. 串行線調試(SWD)腳位分配

   大部分 HT32 封裝的 SWD 腳位分配均相同。

SWD 腳位名稱	SWD 端口		腳位分配
	分類	調試分配	
SWDIO	I/O	串行線數據輸入/輸出	PA13
SWCLK	I	串行線時鐘	PA12

2. SWD 腳位分配

   重置(SYSRESETn 或 PORESETn)後，會將這些腳位指定為專用腳位，可供運行調試軟體的主機立即使用。

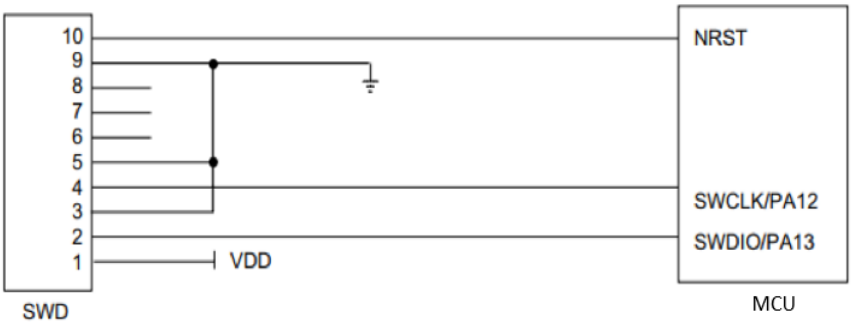
   MCU 可將 SWD 腳位作為通用 I/O(GPIO)使用。詳細資訊請參考使用手冊 GPIO 和 AFIO 章節。

3. SWD 腳位上的內部提升和下拉

   一旦用戶軟體釋放了 SWD I/O，GPIO 控制器便會接管這些腳位。GPIO 控制暫存器的重定模式會將 I/O 置於等效狀態。

   - SWDIO：帶有內部提升的輸入使能
   - SWCLK：帶有內部提升的輸入使能

由於帶有內置的提升電阻，因此無需添加外部電阻。



硬體 PCB Layout 建議

印刷電路板

出於技術方面的原因，最好使用多層的印刷電路板(PCB)，其中單獨有一層專用於接地(V_{SS})，另一層專用於連接 V_{DD} 電源。這樣可獲得良好的去耦效果和遮罩效果。對於許多應用，出於節省成本方面的考慮而不能使用此類電路板。在這種情況下，主要要求是確保接地結構和電源結構良好。

元件位置

PCB 的初始佈線必須包括以下幾個單獨的電路。

- 大電流電路
- 低電壓電路
- 數位元件電路

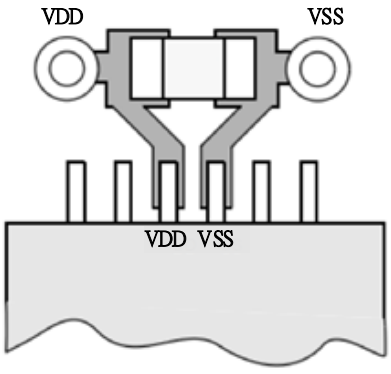
根據其 EMI 影響而獨立佈線的電路。這樣可降低 PCB 上的交叉耦合，以免引入雜訊。

接地和電源(VSS、VDD、VDDA)

每個模組(雜訊、低準位敏感、數字等)都應單獨接地，並且所有接地回路都應相通。必須避免形成環路或將其影響區域最小化。為了提高模擬性能，建議對 VDD 和 VDDA 使用單獨的電源，並在佈線時使去耦電容儘量靠近器件。電源應靠近接地線，使電源環路的區域最小。這是因為電源環路實際上可以當作天線，因此是 EMI 的主要發射器和接收器。所有不帶元件的 PCB 區域必須佈滿額外的接地線，以達到一定的遮罩效果(特別是在使用單層 PCB 時)。

去耦

所有電源和接地腳位都必須正確連接到電源。這些接線(包括焊盤、走線和過孔)的阻抗都必須盡可能的低。這通常可以通過增大走線寬度來實現，最好是使用多層 PCB 中的專用電源層。此外在 VDD 與 VSS 腳位之間連接 100nF 濾波陶瓷電容和約為 4.7μF 的電解電容進行去耦。這些電容需要盡可能置於 PCB 底面相應腳位附近或下方。濾波陶瓷電容的典型值為 10nF 到 100nF，但具體值取決於應用需求。下圖顯示了對 VDD/VSS 的典型佈線。



注意事項

BOOT 腳注意事項

微控制器 BOOT 腳可選擇啓動方式，在 Reset 時讀取 BOOT 腳狀態判斷程式是從 Main Flash 或 ISP Bootloader 或 SRAM 開始執行。注意只有微控制器有 BOOT0 和 BOOT1 兩個腳位的型號才有 SRAM 啓動選項，而只有一個 BOOT 腳的型號則只能選擇從 Main Flash 或 ISP Bootloader 啓動。

BOOT 腳功能説明：

1. BOOT 或 BOOT1 重置時讀到。

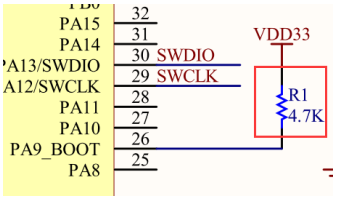
   邏輯 1：微控制器從 Main Flash 啓動。

   邏輯 0：微控制器從 ISP Bootloader 啓動(或是 SRAM)。

2. BOOT 腳 Reset 狀態固定會開啓內部提升電阻，電阻值約 46kΩ，具體數值請參考數據手冊。

   基於上述 2 點，應用上注意：

   - BOOT 沒有複用其它功能時可空接，但出於對 ESD/EFT 考量，建議預留電阻。
   - BOOT 可複用作為輸出腳使用，考慮 WDT Reset / NVIC Reset 速度較快，靠內部提升電阻的話 BOOT 腳電壓上升速度不夠快怕會誤進 ISP Bootloader (或 SRAM)，需加一個 4.7K 外部提升電阻到微控制器 VDD。



   - 盡量不要複用作為輸入，除非可確定 Reset 時 BOOT 腳(或 BOOT1)會在邏輯 1。

Layout 注意事項

- MCU 下方避免規劃電源線，盡量鋪 DGND，並且 DGND 儘量完整避免破碎；DGND 與高頻時脈輸出線需保持距離，且避免上下平行而產生耦合干擾。大電流電源線與 DGND 需保持距離；大電流電源線與 MCU 的 VDD 需保持距離，避免耦合干擾。
- 電源線盡量不要佈置在 PCB 板邊緣以避免 EMI 影響。
- 數位電源與模擬電源間可加磁珠做隔離。

結論

參考此注意事項可讓初次使用 HT32 微控制器的使用者，快速設計出安全、穩定的硬體，減少硬體改版的次數。

參考資料

如需進一步瞭解，敬請瀏覽 Holtek 官方網站 www.holtek.com。

版本及修訂資訊

日期	作者	發行	修訂說明
2022.9.26	李承鍇	V1.00	第一版

免責聲明

本網頁所載的所有資料、商標、圖片、連結及其他資料等 (以下簡稱「資料」)，只供參考之用，盛群半導體股份有限公司及其關聯企業 (以下簡稱「本公司」) 將會隨時更改資料，並由本公司決定而不作另行通知。雖然本公司已盡力確保本網頁的資料準確性，但本公司並不保證該等資料均為準確無誤。本公司不會對任何錯誤或遺漏承擔責任。

本公司不會對任何人士使用本網頁而引致任何損害 (包括但不限於電腦病毒、系統故障、資料損失) 承擔任何賠償。本網頁可能會連結至其他機構所提供的網頁，但這些網頁並不是由本公司所控制。本公司不對這些網頁所顯示的內容作出任何保證或承擔任何責任。

責任限制

在任何情況下，本公司並不須就任何人由於直接或間接進入或使用本網站，並就此內容上或任何產品、資訊或服務，而招致的任何損失或損害負任何責任。

管轄法律

本免責聲明受中華民國法律約束，並接受中華民國法院的管轄。

免責聲明更新

本公司保留隨時更新本免責聲明的權利，任何更改於本網站發佈時，立即生效。